

NORME
INTERNATIONALE
INTERNATIONAL
STANDARD

**CEI
IEC
935**

Première édition
First edition
1990-06

CEI 935 FASTBUS
Système modulaire d'acquisition rapide
de données

IEC 935 FASTBUS
Modular high speed data acquisition system

© CEI 1990 Droits de reproduction réservés — Copyright — all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

Bureau Central de la Commission Electrotechnique Internationale 3, rue de Varembé Genève, Suisse



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

SOMMAIRE

PREAMBULE	11
PREFACE	11
SECTION 1: OBJET, DOMAINE D'APPLICATION ET INTRODUCTION GENERALE	12
1.1 OBJET ET DOMAINE D'APPLICATION	12
1.2 INTRODUCTION GENERALE	12
1.2.1 Fonctionnement du FASTBUS	15
1.2.2 Interconnexion de segments	18
1.2.3 Registres de contrôle et d'état	20
1.2.4 Adressage géographique	20
1.2.5 Transfert de blocs et en pipe-line	21
1.2.6 Opérations à verrouillage d'adresse et d'arbitrage	22
1.2.7 Scrutation des données éparées	23
1.2.8 Opérations de DIFFUSION	23
1.2.9 Arbitrage pour la maîtrise du bus	24
1.2.10 Interruptions	25
1.2.11 Cadencement	26
1.2.12 Initialisation	26
1.2.13 Outils de diagnostic	27
SECTION 2: CONVENTIONS, DEFINITIONS, ABREVIATIONS ET SYMBOLES	28
2.1 INTERPRETATION DE CETTE NORME	28
2.2 NOTATIONS ET CONVENTIONS DES SIGNAUX LOGIQUES	28
2.3 DEFINITIONS (suivant l'ordre alphabétique français)	29
2.4 ABREVIATIONS	38
2.5 SYMBOLES	40
SECTION 3: SIGNAUX, LIGNES ET CONTACTS DES SIGNAUX	41
3.1 TYPES DES LIGNES DES SIGNAUX	41
3.2 NOMENCLATURE DES SIGNAUX	41
3.3 BREVE DESCRIPTION DES SIGNAUX, DES LIGNES ET DES CONTACTS.	42
3.3.1 AS - Synchronisation Adresse (T, Maître)	42
3.3.2 AK - Acceptation d'une Adresse (T, Esclave ou Ancillaire)	42
3.3.3 EG - Mise en service géographique (CT, Maître ou Ancillaire)	42
3.3.4 MS - Sélection de Mode (C, Maître)	42
3.3.5 AD - Adresse/donnée (I, Maître ou Esclave)	43
3.3.6 SS - Etat de l'Esclave (I, Esclave)	43
3.3.7 DS - Synchronisation des données (T, Maître)	43
3.3.8 DK - Acceptation des données (T, Esclave ou Ancillaire)	43
3.3.9 RD - Lecture (C, Maître)	43
3.3.10 PE - Mise en service de la parité (I, Maître ou Esclave)	43
3.3.11 PA - Parité (I, Maître ou Esclave)	44
3.3.12 WT - Attente (A, tous les dispositifs)	44
3.3.13 AR - Demande d'arbitrage (A, Maître)	44
3.3.14 AG - Octroi de l'arbitrage (TA, Ancillaire)	44
3.3.15 AL - Niveau d'arbitrage (IA, Maître)	44
3.3.16 GK - Acceptation de l'octroi (TA, Maître)	44
3.3.17 AI - Inhibition de la demande d'arbitrage (CA, Ancillaire)	44
3.3.18 SR - Demande de service (A, Maître ou Esclave)	45
3.3.19 RB - Remise à zéro du bus (A, Maître ou Maître via les SI)	45
3.3.20 BH - Arrêt du bus (C, Ancillaire)	45
3.3.21 GA - Adressage géographique (F, câblé)	45
3.3.22 TP - Contact T (I, Esclave)	45

CONTENTS

FOREWORD	11
PREFACE	11
SECTION 1: OBJECT, SCOPE AND INTRODUCTORY OVERVIEW	12
1.1 OBJECT AND SCOPE	12
1.2 INTRODUCTORY OVERVIEW	12
1.2.1 FASTBUS Operations	15
1.2.2 Segment Interconnects	18
1.2.3 Control and Status Registers	20
1.2.4 Geographical Addressing	20
1.2.5 Block and Pipelined Transfers	21
1.2.6 Address Locked and Arbitration Locked Operations	22
1.2.7 Sparse Data Scan	23
1.2.8 BROADCAST Operations	23
1.2.9 Arbitration for Bus Mastership	24
1.2.10 Interrupts	25
1.2.11 Timing	26
1.2.12 Initialization	26
1.2.13 Diagnostic Tools	27
SECTION 2: CONVENTIONS, DEFINITIONS, ABBREVIATIONS AND SYMBOLS	28
2.1 INTERPRETATION OF THIS STANDARD	28
2.2 NOTATIONS AND LOGIC SIGNAL CONVENTIONS	28
2.3 DEFINITIONS (according to English alphabetical order)	29
2.4 ACRONYMS	38
2.5 SYMBOLS	40
SECTION 3: SIGNALS, SIGNAL LINES AND PINS	41
3.1 TYPES OF SIGNAL LINES	41
3.2 SIGNAL NOMENCLATURE	41
3.3 BRIEF DESCRIPTION OF SIGNALS, LINES AND PINS	42
3.3.1 AS - Address Sync (T, Master)	42
3.3.2 AK - Address Acknowledge (T, Slave or ANC)	42
3.3.3 EG - Enable Geographical (C, Master or ANC)	42
3.3.4 MS - Mode Select (C, Master)	42
3.3.5 AD - Address/Data (I, Master or Slave)	43
3.3.6 SS - Slave Status (I, Slave)	43
3.3.7 DS - Data Sync (T, Master)	43
3.3.8 DK - Data Acknowledge (T, Slave or ANC)	43
3.3.9 RD - Read (C, Master)	43
3.3.10 PE - Parity Enable (I, Master or Slave)	43
3.3.11 PA - Parity (I, Master or Slave)	44
3.3.12 WT - Wait (A, Any Device)	44
3.3.13 AR - Arbitration Request (A, Master)	44
3.3.14 AG - Arbitration Grant (TA, ANC)	44
3.3.15 AL - Arbitration Level (IA, Master)	44
3.3.16 GK - Grant Acknowledge (TA, Master)	44
3.3.17 AI - Arbitration Request Inhibit (CA, ANC)	44
3.3.18 SR - Service Request (A, Master or Slave)	45
3.3.19 RB - Reset Bus (A, Master or Master via SIs)	45
3.3.20 BH - Bus Halted (C, ANC)	45
3.3.21 GA - Geographical Address (F, Hardwired)	45
3.3.22 TP - T Pins (I, Slave)	45

3.3.23 DL, DR - Guirlande (I, Maître ou Esclave)	45
3.3.24 TX, RX - Lignes du réseau série (A, Maître ou Esclave)	46
3.3.25 TR - Lignes adaptées d'usage restreint	46
3.3.26 UR - Lignes non adaptées d'usage restreint	46
3.3.27 Autres lignes et contacts	46
3.4 CHARGE DU BUS	47
3.4.1 Limites en tension et en courant sur les lignes des signaux et sur les contacts F	47
SECTION 4: FONCTIONNEMENT DU FASTBUS: ADRESSAGE	48
4.1 ADRESSAGE LOGIQUE	49
4.2 ADRESSAGE GEOGRAPHIQUE	51
4.3 ADRESSAGE EN DIFFUSION	52
4.3.1 Contrôle du Maître dans une diffusion	53
4.3.2 Réponse des Esclaves à une opération de diffusion	55
4.4 ADRESSAGE SECONDAIRE	58
4.5 FONCTIONNEMENT EN SCRUTATION DES DONNEES EPARSES ET EN SELECTION PAR CONFIGURATION	59
SECTION 5: FONCTIONNEMENT DU FASTBUS: CHRONOGRAMMES, SEQUENCES ET REPONSES	60
5.1 CARACTERISTIQUES GENERALES DU CADENCEMENT MAITRE/ESCLAVE	61
5.1.1 Caractéristiques de cadencement des signaux du Maître	61
5.1.2 Caractéristiques du cadencement de l'Esclave	63
5.1.3 Utilisation de la ligne d'attente (WT)	64
5.2 CYCLES D'ADRESSE PRIMAIRE	65
5.2.1 Séquence du Maître pour positionner AS	66
5.2.2 Réponse de l'Esclave à AS(u)	67
5.2.3 Réponse du Maître à AK(u)	69
5.3 FONCTIONNEMENT	70
5.3.1 Séquence du Maître pour positionner DS	73
5.3.2 Réponse de l'Esclave à DS(t)	74
5.3.3 Analyse des réponses d'état de l'Esclave	75
5.3.4 Réponse du Maître à DK(t)	77
5.4 UTILISATION DE LA LIGNE DE REMISE A ZERO (RB)	77
5.4.1 Positionnement de RB par le Maître	77
5.4.2 Réponse du dispositif à RB	78
5.5 REPONSE DES DISPOSITIFS A LA MISE SOUS TENSION	78
SECTION 6: ARBITRAGE DU BUS	79
6.1 UTILISATION DES LIGNES DU BUS POUR UNE PROCEDURE D'ARBITRAGE	80
6.2 LA PROCEDURE D'ARBITRAGE	84
6.3 REGLES D'ARBITRAGE	85
6.3.1 Positionnement de AR par le Maître et transmission de AR par le SI	85
6.3.2 Positionnement et libération de AI par l'ATC	86
6.3.3 Positionnement et libération de AG par l'ATC	86
6.3.4 Positionnement et libération de AL par le Maître	86
6.3.5 Positionnement et libération de GK par le Maître	87
6.4 ARBITRAGE A TRAVERS LE SYSTEME	88
SECTION 7: LOGIQUE ANCILLAIRE SUR UN SEGMENT	90
7.1 CONTROLE DE LA SEQUENCE D'ARBITRAGE (ATC)	90
7.1.1 Génération de AI par l'ATC	90
7.1.2 Génération de AG par l'ATC	90
7.2 CONTROLE DES ADRESSES GEOGRAPHIQUES	91
7.3 GENERATION DU DIALOGUE SYSTEME (DIFFUSION)	92

3.3.23 DL, DR - Daisy Chain (I, Master or Slave)	45
3.3.24 TX, RX - Serial Network Lines (A, Master or Slave)	46
3.3.25 TR - Terminated Restricted Use Lines	46
3.3.26 UR - Unterminated Restricted Use Lines	46
3.3.27 Other Lines and Pins	46
3.4 BUS LOADING	47
3.4.1 Voltage and Current Limits For Signal Lines and F Pins	47
SECTION 4: FASTBUS OPERATIONS: ADDRESSING	48
4.1 LOGICAL ADDRESSING	49
4.2 GEOGRAPHICAL ADDRESSING	51
4.3 BROADCAST ADDRESSING	52
4.3.1 Master's Control of a Broadcast	53
4.3.2 Slave Response to Broadcast Operations	55
4.4 SECONDARY ADDRESSING	58
4.5 SPARSE DATA SCAN AND PATTERN SELECT OPERATION	59
SECTION 5: FASTBUS OPERATIONS: TIMING, SEQUENCES AND RESPONSES	60
5.1 GENERAL MASTER/SLAVE TIMING REQUIREMENTS	61
5.1.1 Master Signal Timing Requirements	61
5.1.2 Slave Signal Timing Requirements	63
5.1.3 Use of Wait (WT)	64
5.2 PRIMARY ADDRESS CYCLES	65
5.2.1 Master Sequence for Asserting AS	66
5.2.2 Slave Response to AS(u)	67
5.2.3 Master Response to AK(u)	69
5.3 OPERATIONS	70
5.3.1 Master Sequence for Asserting DS	73
5.3.2 Slave Response to DS(t)	74
5.3.3 Discussion of Slave Status Responses	75
5.3.4 Master Response to DK(t)	77
5.4 USE OF RESET BUS (RB)	77
5.4.1 Master Assertion of RB	77
5.4.2 Device Response to RB	78
5.5 DEVICE RESPONSE TO POWER ON	78
SECTION 6: BUS ARBITRATION	79
6.1 BUS LINE USAGE FOR THE ARBITRATION PROCESS	80
6.2 THE ARBITRATION PROCESS	84
6.3 ARBITRATION RULES	85
6.3.1 Master Assertion of AR and Segment Interconnect Passing of AR	85
6.3.2 ATC Assertion and Release of AI	86
6.3.3 ATC Assertion and Release of AG	86
6.3.4 Master Assertion and Release of AL	86
6.3.5 Master Assertion and Release of GK	87
6.4 SYSTEM WIDE ARBITRATION	88
SECTION 7: ANCILLARY LOGIC ON A SEGMENT	90
7.1 ARBITRATION TIMING CONTROL (ATC)	90
7.1.1 ATC Generation of AI	90
7.1.2 ATC Generation of AG	90
7.2 GEOGRAPHICAL ADDRESS CONTROL	91
7.3 SYSTEM HANDSHAKE GENERATION (Broadcast)	92

7.4	COMMANDE MARCHE/ARRET ET ARRET DU BUS	93
7.5	ADAPTATION	94
7.6	LOGIQUE ANCILLAIRE POUR UN SEGMENT-CHASSIS	94
7.7	LOGIQUE ANCILLAIRE POUR UN SEGMENT-CABLE	96
SECTION 8: ESPACE DES REGISTRES DE CONTROLE ET D'ETAT		97
8.1	FONCTIONS DE POSITIONNEMENT ET D'EFFACEMENT SELECTIFS	98
8.2	ALLOCATION DE L'ESPACE NORMAL CSR	101
8.3	REGISTRE CSR 0	101
8.3.1	L'ID du dispositif et son attribution	102
8.3.2	Attribution des bits de contrôle et d'état	103
8.4	REGISTRE CSR 1	106
8.5	REGISTRE CSR 2	106
8.6	REGISTRE CSR 3	108
8.7	REGISTRE CSR 4	109
8.8	REGISTRE CSR 5	109
8.9	REGISTRE CSR 6	109
8.10	REGISTRE CSR 7	110
8.11	REGISTRE CSR 8	110
8.12	REGISTRE CSR 9 ET REGISTRES CSR 1Ch A 1Fh	110
8.13	REGISTRES CSR DE Ah à Fh	111
8.14	REGISTRES CSR DE 20h à 3Fh	111
8.15	REGISTRES CSR DE 70h à 81h	111
8.16	REGISTRES CSR A0h à AFh, B0h à BFh et C0h à CFh	112
8.17	REGISTRES CSR DE 8000 0000h à BFFF FFFFh, ESPACE PARAMETRES	112
8.18	REMISE A ZERO DES BITS DES CSR	115
SECTION 9: INTERRUPTIONS		116
9.1	OPERATION D'INTERRUPTION	116
9.2	LIGNES DE DEMANDE DE SERVICE	117
SECTION 10: INTERCONNEXION DE SEGMENTS		120
10.1	TYPES D'INTERCONNEXION DE SEGMENTS	121
10.2	TRANSMISSION DES OPERATIONS	121
10.3	REGLEMENT DES CONFLITS	122
10.4	TABLES DE ROUTAGE	123
10.5	REGISTRES DE CONTROLE ET D'ETAT	124
10.5.1	CSR#0 - ID, contrôle et état	126
10.5.2	CSR#1 - Niveau d'arbitrage du côté lointain	128
10.5.3	CSR#8 - Niveau d'arbitrage côté proche	128
10.5.4	CSR#9 - Registre de contrôle du temporisateur	128
10.5.5	CSR#40h - Registre d'adresse de la table de routage	128
10.5.6	CSR#41h - Registre de données de la table de routage	129
10.5.7	CSR#42h - Adresse géographique du côté proche	129
10.5.8	CSR#43h - Adresse géographique du côté lointain	130
10.5.9	Effets de différentes actions sur les bits des CSR d'un SI	130
10.6	TABLES DE ROUTAGE	130
10.6.1	Informations de transmission, de destination et de base	130
10.6.2	Règles de génération	131
10.7	ACTIONS DES SI	131
10.7.1	Reconnaissance des adresses	131
10.7.2	Arbitrage du SI	132
10.7.3	Règlement des conflits	133
10.7.4	Réponse négative	133
10.7.5	Modification des adresses géographiques et de diffusion	135
10.7.6	Transmission des opérations	135

7.4 RUN/HAULT CONTROL AND BUS HALTED	93
7.5 TERMINATORS	94
7.6 ANCILLARY LOGIC FOR CRATE SEGMENTS	94
7.7 ANCILLARY LOGIC FOR CABLE SEGMENTS	96

SECTION 8: CONTROL AND STATUS REGISTER SPACE **97**

8.1 SELECTIVE SET AND CLEAR FUNCTIONS	98
8.2 NORMAL CSR SPACE ALLOCATION	101
8.3 CSR REGISTER 0	101
8.3.1 Device IDs and their Allocation	102
8.3.2 Control and Status Bit Allocation	103
8.4 CSR REGISTER 1	106
8.5 CSR REGISTER 2	106
8.6 CSR REGISTER 3	108
8.7 CSR REGISTER 4	109
8.8 CSR REGISTER 5	109
8.9 CSR REGISTER 6	109
8.10 CSR REGISTER 7	110
8.11 CSR REGISTER 8	110
8.12 CSR REGISTER 9 AND CSR REGISTER 1Ch to 1Fh	110
8.13 CSR REGISTERS Ah to Fh	111
8.14 CSR REGISTERS 20h to 3Fh	111
8.15 CSR REGISTERS 70h to 81h	111
8.16 CSR REGISTERS A0h to AFh, B0h to BFh and C0h to CFh	112
8.17 CSR REGISTERS 8000 0000h to BFFF FFFFh, PARAMETER SPACE	112
8.18 CLEARING OF CSR BITS	115

SECTION 9: INTERRUPTS **116**

9.1 INTERRUPT OPERATION	116
9.2 THE SERVICE REQUEST LINE	117

SECTION 10: INTERCONNECTION OF SEGMENTS **120**

10.1 TYPES OF SEGMENT INTERCONNECTS	121
10.2 OPERATION PASSING	121
10.3 CONTENTION RESOLUTION	122
10.4 ROUTE TABLES	123
10.5 CONTROL AND STATUS REGISTERS	124
10.5.1 CSR#0 - ID, Status and Control	126
10.5.2 CSR#1 Far-side Arbitration Level	128
10.5.3 CSR#8 Near-side Arbitration Level	128
10.5.4 CSR#9 Timer Control Register	128
10.5.5 CSR#40h Route Table Address Register	128
10.5.6 CSR#41h Route Table Data Register	129
10.5.7 CSR#42h Near-side Geographical Address	129
10.5.8 CSR#43h Far-side Geographical Address	130
10.5.9 Effect of Various Actions on CSR Bits in SIs	130
10.6 ROUTE TABLES	130
10.6.1 Pass, Destination and Base Information	130
10.6.2 Generation Rules	131
10.7 SI ACTIONS	131
10.7.1 Address Recognition	131
10.7.2 SI Arbitration	132
10.7.3 Contention resolution	133
10.7.4 Negative Responses	133
10.7.5 Modification of Geographical and Broadcast Addresses	135
10.7.6 Operation Passing	135

10.7.7 Utilisation et génération de la parité par le SI	138
10.7.8 Réponse de l'interconnexion de segment à RB	138
10.7.9 Contraintes de séquençement	138
10.8 REGISTRE D'ADRESSE DE BASE	139
SECTION 11: TRANSFERTS EN BLOC ET EN PIPE-LINE	140
11.1 TERMINAISON DES TRANSFERTS DE BLOC ET EN PIPE-LINE	141
11.2 INCREMENTATION DE L'ADRESSE INTERNE DANS LES TRANSFERTS DE BLOC	142
11.3 LES FIFO ET LES ERREURS DE TRANSFERT DE DONNEES	142
SECTION 12: CARACTERISTIQUES DES SIGNAUX	144
12.1 NIVEAUX DES SIGNAUX	144
SECTION 13: LES MODULES	145
13.1 CARTE CIRCUIT DU MODULE	145
13.1.1 Zone de mise à la masse pour la décharge des charges statiques	149
13.1.2 Raidisseurs	149
13.2 CONNECTEURS	149
13.2.1 Connecteur de segment	149
13.2.2 Connecteur auxiliaire du module	152
13.2.3 Autres connecteurs	153
13.2.4 Désignations des contacts des connecteurs de segment et auxiliaires	153
13.3 CONSIDERATIONS SUR LA TEMPERATURE ET LA PUISSANCE DISSIPABLE	154
13.3.1 Températures des puces et des modules	154
13.3.2 Puissance dissipée	155
13.3.3 Refroidissement	156
13.4 PANNEAU AVANT	156
13.5 VOYANTS INDICANT L'ACTIVITE DU MODULE	156
13.6 INDICATION DE LA CONSOMMATION	156
13.7 TRANSITOIRES	156
SECTION 14: LES CHASSIS	157
14.1 CONSTRUCTION DES CHASSIS	157
14.2 FOND DE PANIER DU CHASSIS	157
14.2.1 Connecteur de segment du châssis et câblage associé	157
14.2.2 Connecteur auxiliaire de châssis	159
14.2.3 Guides des connecteurs	162
14.2.4 Contraintes de courant sur le fond de panier	162
14.2.5 Autres éléments du fond de panier	163
14.3 REFROIDISSEMENT	163
14.4 ENSEMBLE COMMUTATEUR MARCHE/ARRET	164
14.5 CARTES DE CIRCUIT MONTÉES A L'ARRIERE DU FOND DE PANIER	164
14.6 MARQUAGE DES CHASSIS	165
14.7 CONTACTS DE DECHARGE DES CHARGES STATIQUES	165
SECTION 15: ALIMENTATIONS	166
SECTION 16: SEGMENT-CABLE	167
16.1 SIGNAUX SUR UN SEGMENT-CABLE	167
16.2 CONNECTEURS DU SEGMENT-CABLE ET AFFECTATION DES CONTACTS	167
ANNEXE A: PRESCRIPTIONS POUR DIFFERENTES REALISATIONS	171
A.1 REALISATION EN ECL	171

10.7.7 SI use and Generation of Parity	138
10.7.8 Segment Interconnect Response to RB	138
10.7.9 Timing Requirements	138
10.8 BASE ADDRESS REGISTER	139
SECTION 11: BLOCK AND PIPELINED TRANSFERS	140
11.1 BLOCK AND PIPELINED TRANSFER TERMINATION	141
11.2 BLOCK TRANSFER INTERNAL ADDRESS INCREMENTATION	142
11.3 FIFOs AND DATA TRANSFER ERRORS	142
SECTION 12: SIGNAL CHARACTERISTICS	144
12.1 SIGNAL LEVELS	144
SECTION 13: MODULES	145
13.1 MODULE CIRCUIT BOARD	145
13.1.1 Grounding Area for Static Charge Discharge	149
13.1.2 Stiffener Bars	149
13.2 CONNECTORS	149
13.2.1 Segment Connector	149
13.2.2 Module Auxiliary Connector	152
13.2.3 Other Connectors	153
13.2.4 Segment and Auxiliary Connector Contact Designations	153
13.3 TEMPERATURE CONSIDERATIONS AND POWER DISSIPATION	154
13.3.1 Die and Module Temperatures	154
13.3.2 Power Dissipation	155
13.3.3 Cooling	156
13.4 FRONT PANEL	156
13.5 MODULE ACTIVITY INDICATORS	156
13.6 LABELING OF POWER REQUIREMENTS	156
13.7 TRANSIENTS	156
SECTION 14: CRATES	157
14.1 CRATE CONSTRUCTION	157
14.2 CRATE BACKPLANE	157
14.2.1 Crate Segment Connector and Associated Wiring	157
14.2.2 Crate Auxiliary Connector	159
14.2.3 Connector Guides	162
14.2.4 Backplane Current Requirements	162
14.2.5 Other Backplane Items	163
14.3 COOLING	163
14.4 RUN/HAULT SWITCH ASSEMBLY	164
14.5 CIRCUIT BOARDS MOUNTED AT REAR OF BACKPLANE	164
14.6 CRATE MARKINGS	165
14.7 CONTACTS FOR STATIC CHARGE DISCHARGE	165
SECTION 15: POWER	166
SECTION 16: CABLE SEGMENT	167
16.1 SIGNALS ON A CABLE SEGMENT	167
16.2 CABLE SEGMENT CONNECTORS AND CONTACT ASSIGNMENTS	167
ANNEX A: REQUIREMENTS FOR VARIOUS IMPLEMENTATIONS	171
A.1 ECL IMPLEMENTATION	171

A.1.1 Détails des connexions et des niveaux des signaux ECL . . .	171
A.1.2 Détails du cadencement des signaux ECL	173
A.1.3 Délai de réessai	173
A.1.4 Temps de réponse	173
A.1.5 Résistances d'adaptation	173
A.1.6 Courant nécessaire pour le générateur de tension GA . . .	173
A.1.7 Différences de températures entre les puces	173
A.1.8 Distribution des modules sur un segment-châssis	175
ANNEXE B: INTERCONNEXIONS EN ECL SUR LA FACE AVANT	176
B.1 AMPLITUDE ET NIVEAUX DES SIGNAUX	176
B.2 CABLES	176
B.3 CONNECTEURS	176
B.4 EMETTEURS, RECEPTEURS ET RESISTANCES D'ADAPTATION	177
ANNEXE C: REALISATION DU SEGMENT-CABLE	178
C.1 CARACTERISTIQUES ELECTRIQUES D'UN SEGMENT-CABLE	179
C.2 REALISATION EN ECL D'UN SEGMENT-CABLE	179
ANNEXE D: EXEMPLES DE REALISATIONS D'ELEMENTS DE MAITRES	182
D.1 CIRCUIT D'ARBITRAGE DU MAITRE	182
ANNEXE E: INTERCONNEXION DE SEGMENTS FASTBUS TYPE S-1	183
E.1 CARACTERISTIQUES GENERALES D'UNE INTERCONNEXION DE SEGMENT TYPE S-1	183
E.1.1 Type	183
E.1.2 Format	184
E.1.3 Segment-câble	184
E.1.4 Champ d'adresse de groupe	184
E.1.5 Réalisation des tables de routage	184
E.1.6 CSR#0 - ID, état et contrôle	185
E.1.7 Registre NTA	185
E.2 CARACTERISTIQUES DE LA FACE AVANT	185
ANNEXE F: REALISATION DE MODULES	186
F.1 EXEMPLE DE REALISATION DE MODULE	186
ANNEXE G: EXEMPLE DE REALISATION DE CHASSIS TYPE A	187
G.1 CHASSIS TYPE A	187
G.1.1 Construction de châssis type A	187
G.1.2 Fond de panier du châssis type A	187
G.2 EXEMPLE DE REALISATION DE CHASSIS TYPE A	187
G.3 POSSIBILITES POUR MONTER DES CARTES A L'ARRIERE	192
ANNEXE H: EXEMPLES DE REALISATION DE CHASSIS ET DE MODULE TYPE W	193
H.1 CHASSIS TYPE W	193
H.1.1 Construction du châssis type W	193
H.1.2 Exemple de réalisation de châssis type W	193
H.2 REALISATION DU MODULE POUR LES CHASSIS TYPE W	193
ANNEXE I: ALIMENTATIONS STANDARDS	197
I.1 ALIMENTATION A EFFICACITE ELEVEE	197
I.1.1 Généralités	197
I.1.2 Efficacité	197
I.1.3 Gamme de températures ambiantes	197

A.1.1 ECL Connections and Signal Level Details	171
A.1.2 ECL Timing Details	173
A.1.3 Retry Period	173
A.1.4 Response Times	173
A.1.5 Terminators	173
A.1.6 GA Logic Generating Circuit Requirements	173
A.1.7 Differential Die Temperatures	173
A.1.8 Module Distribution in Crate Segments	175
ANNEX B: FRONT PANEL INTERCONNECTIONS FOR ECL	176
B.1 SIGNAL AMPLITUDE AND LEVELS	176
B.2 CABLES	176
B.3 CONNECTORS	176
B.4 DRIVERS, RECEIVERS AND TERMINATORS	177
ANNEX C: CABLE SEGMENT IMPLEMENTATION	178
C.1 ELECTRICAL SPECIFICATION FOR CABLE SEGMENT	179
C.2 ECL CABLE SEGMENT IMPLEMENTATION.	179
ANNEX D: IMPLEMENTATION EXAMPLES OF MASTER REQUIREMENTS	182
D.1 MASTER ARBITRATION CIRCUITRY	182
ANNEX E: FASTBUS SEGMENT INTERCONNECT TYPE S-1	183
E.1 GENERAL FEATURES OF SEGMENT INTERCONNECT TYPE S-1	183
E.1.1 Type	183
E.1.2 Format	184
E.1.3 Cable Segment	184
E.1.4 Group Address Field	184
E.1.5 Route Table Implementation	184
E.1.6 CSR#0 - ID, Status and Control	185
E.1.7 NTA Register	185
E.2 FRONT PANEL FEATURES	185
ANNEX F: MODULE IMPLEMENTATION	186
F.1 TYPICAL MODULE IMPLEMENTATIONS	186
ANNEX G: EXAMPLES OF TYPE A CRATE IMPLEMENTATION	187
G.1 TYPE A CRATE	187
G.1.1 Type A Crate Construction	187
G.1.2 Type A Crate Backplane	187
G.2 EXAMPLE OF TYPE A CRATE IMPLEMENTATION	187
G.3 MOUNTING PROVISION FOR REAR-MOUNTED CIRCUIT BOARDS	192
ANNEX H: EXAMPLES OF TYPE W CRATE AND TYPE W MODULE ASSEMBLY	193
H.1 TYPE W CRATE	193
H.1.1 Type W Crate Construction	193
H.1.2 Example of Type W Crate Implementation	193
H.2 MODULE IMPLEMENTATION FOR TYPE W CRATES	193
ANNEX I: TYPICAL POWER SUPPLIES	197
I.1 HIGH-EFFICIENCY POWER SUPPLY	197
I.1.1 General	197
I.1.2 Efficiency	197
I.1.3 Ambient Temperature Range	197

I.1.4	Entrée	197
I.1.5	Sorties	198
I.1.6	Stabilisation à distance	198
I.1.7	Régulation et stabilité	198
I.1.8	Coefficient de température	198
I.1.9	Bruit et oscillation résiduelle	199
I.1.10	Temps de récupération et transitoires de marche et d'arrêt	199
I.1.11	Bruit par transmission et rayonnement	199
I.1.12	Contacts de sortie	199
I.1.13	Commandes de réglage des tensions	199
I.1.14	Protection	200
I.1.15	Surveillance	200
I.1.16	Essais aux limites	200
I.1.17	Contrôle extérieur du déclenchement du disjoncteur	201
I.1.18	Sortie secteur commandée	201
I.1.19	Panneau avant	201
I.1.20	Montage en châssis	201
I.1.21	Refroidissement	201
I.2	ALIMENTATION A FAIBLE BRUIT	202
I.2.1	Généralités	202
I.2.2	Efficacité	202
I.2.3	Gamme de températures ambiantes	202
I.2.4	Entrée	202
I.2.5	Sorties	202
I.2.6	Stabilisation à distance	202
I.2.7	Régulation et stabilité	202
I.2.8	Coefficient de température	202
I.2.9	Bruit et oscillation résiduelle	202
I.2.10	Temps de récupération et transitoires de marche et d'arrêt	202
I.2.11	Bruit par transmission et rayonnement	202
I.2.12	Contacts de sortie	202
I.2.13	Commandes de réglage des tensions	203
I.2.14	Protection	203
I.2.15	Surveillance	203
I.2.16	Essais aux limites	203
I.2.17	Contrôle extérieur du déclenchement du disjoncteur	203
I.2.18	Sortie secteur commandée	203
I.2.19	Panneau avant	203
I.2.20	Montage en châssis	203
I.2.21	Refroidissement	203
ANNEXE J: PROCEDURES DE PRISE EN COMPTE DES ETATS NON NULS		204
J.1	ERREURS AU MOMENT DE L'ADRESSAGE	204
J.1.1	Déclenchement du temporisateur au moment de l'adressage	204
J.1.2	Erreur de parité au moment de l'adressage	204
J.1.3	SS=1 au moment de l'adressage - Réseau occupé	204
J.1.4	SS=2 au moment de l'adressage - Panne de réseau	204
J.1.5	SS=3 au moment de l'adressage - Abandon du réseau	205
J.1.6	Réponses d'un SI: SS=1, SS=2 ou SS=3 - Généralités	205
J.1.7	Pistage de la route prise par une opération	205
J.1.8	SS=4 au moment de l'adressage - Réserve	206
J.1.9	SS=5 au moment de l'adressage - Réserve	206
J.1.10	SS=6 au moment de l'adressage - Réserve	206
J.1.11	SS=7 au moment de l'adressage - IA non valable, accepté	206
J.2	DECLENCHEMENT DU TEMPORISATEUR AU MOMENT DES DONNEES	206
J.3	REPONSES D'ETAT DE L'ESCLAVE	206
J.3.1	SS=0 - Action valable	206

I.1.4 Input	197
I.1.5 Output	198
I.1.6 Remote Sense	198
I.1.7 Regulation and Stability	198
I.1.8 Temperature Coefficient	198
I.1.9 Noise and Ripple	199
I.1.10 Recovery Time and Turn-On and Turn-Off Transients	199
I.1.11 Conducted and Radiated Noise	199
I.1.12 Output Terminals	199
I.1.13 Voltage Adjustment Controls	199
I.1.14 Protection	200
I.1.15 Monitoring	200
I.1.16 Margining	200
I.1.17 External Breaker Trip Control	201
I.1.18 Switched ac Outlet	201
I.1.19 Front Panel	201
I.1.20 Rack Mounting	201
I.1.21 Cooling	201
I.2 LOW NOISE POWER SUPPLY	202
I.2.1 General	202
I.2.2 Efficiency	202
I.2.3 Ambient Temperature Range	202
I.2.4 Input	202
I.2.5 Output	202
I.2.6 Remote Sense	202
I.2.7 Regulation and Stability	202
I.2.8 Temperature Coefficient	202
I.2.9 Noise and Ripple	202
I.2.10 Recovery Time and Turn-on and Turn-off Transients	202
I.2.11 Conducted and Radiated Noise	202
I.2.12 Output Terminals	202
I.2.13 Voltage Adjustment Controls	203
I.2.14 Protection	203
I.2.15 Monitoring	203
I.2.16 Margining	203
I.2.17 External Breaker Trip Control	203
I.2.18 Switched ac Outlet	203
I.2.19 Front Panel	203
I.2.20 Rack Mounting	203
I.2.21 Cooling	203
ANNEX J: NON-ZERO STATUS HANDLING PROCEDURES	204
J.1 ADDRESS-TIME ERRORS	204
J.1.1 Timeout at Address Time	204
J.1.2 Parity Error at Address Time	204
J.1.3 SS=1 at Address Time - Network Busy	204
J.1.4 SS=2 at Address Time - Network Failure	204
J.1.5 SS=3 at Address Time - Network Abort	205
J.1.6 SS=1, SS=2 or SS=3 SI responses - General	205
J.1.7 Tracing the Route Taken by an Operation	205
J.1.8 SS=4 at Address Time - Reserved	206
J.1.9 SS=5 at Address Time - Reserved	206
J.1.10 SS=6 at Address Time - Reserved	206
J.1.11 SS=7 at Address Time - Invalid IA, Accepted	206
J.2 TIMEOUT AT DATA TIME	206
J.3 SLAVE STATUS RESPONSES	206
J.3.1 SS=0 - Valid Action	206

J.3.2 SS=1 - Occupé	207
J.3.3 SS=2 - Fin de bloc	207
J.3.4 SS=3 - Défini par l'utilisateur	207
J.3.5 SS=4 - Réserve	207
J.3.6 SS=5 - Réserve	207
J.3.7 SS=6 - Erreur de données (rejeté)	207
J.3.8 SS=7 - Erreur de données (accepté)	207
J.4 REPOSE DU CALCULATEUR HOTE A UN MESSAGE D'ERREUR	208
J.5 ERREURS DANS LES TRANSMISSIONS DE OU VERS LES FIFO ET LES PORTS E/S	208
J.5.1 Introduction	208
J.5.2 Erreurs pendant les opérations de lecture	209
J.5.3 Erreurs pendant les opérations d'écriture	209
ANNEXE K: COMPOSANTS	211
K.1 CONNECTEURS	211
K.1.1 Connecteurs du module	211
K.1.2 Connecteurs de segment-châssis et connecteurs auxiliaires de châssis	211
ANNEXE L: Prescriptions pour la construction du système	213
L.1 CONNEXION DES ALIMENTATIONS	213
L.2 REALISATION DU CIRCUIT IMPRIME	213
L.2.1 Matière du circuit	213
L.2.2 Procédure de soudage	213
L.3 CONSTRUCTION DE LA CARTE DE FOND DE PANNIER	213
L.3.1 Revêtement de protection de la carte de fond de panier	213
L.3.2 Contacts du connecteur de segment	213
FIGURES	9
TABLES	10
INDEX	214

J.3.2 SS=1 - Busy	207
J.3.3 SS=2 - End of Block	207
J.3.4 SS=3 - User Defined	207
J.3.5 SS=4 - Reserved	207
J.3.6 SS=5 - Reserved	207
J.3.7 SS=6 - Data Error (Reject)	207
J.3.8 SS=7 - Data Error (Accept)	207
J.4 HOST RESPONSE TO ERROR MESSAGES	208
J.5 ERRORS IN TRANSFERS TO OR FROM FIFOs AND I/O PORTS	208
J.5.1 Introduction	208
J.5.2 Errors during Read Operations	209
J.5.3 Errors during Write Operations	209
ANNEX K: COMPONENTS	211
K.1 CONNECTORS	211
K.1.1 Module Connectors	211
K.1.2 Crate Segment Connectors and Crate Auxiliary Connectors	211
ANNEX L: Construction and system requirements	213
L.1 POWER INTERCONNECTIONS	213
L.2 CIRCUIT BOARD CONSTRUCTION	213
L.2.1 Board material	213
L.2.2 Soldering procedure	213
L.3 CRATE BACKPLANE CONSTRUCTION	213
L.3.1 Backplane protective coating	213
L.3.2 Segment connector pins	213
FIGURES	9
TABLES	10
INDEX	214

FIGURES

FIGURE 1.	ELEMENTS DE BASE DU FASTBUS	13
FIGURE 2.	TOPOLOGIE D'UN SYSTEME FASTBUS	15
FIGURE 3.	DIALOGUE DE BASE D'UNE OPERATION DE LECTURE (VU PAR LE MAITRE)	18
FIGURE 4.	TRANSFERT DE BLOC EN ECRITURE (VU PAR LE MAITRE)	21
FIGURE 5.	OPERATION A VERROUILLAGE D'ADRESSE	22
FIGURE 6.	FORMAT DE L'ADRESSE LOGIQUE	49
FIGURE 7.	FORMATS DE L'ADRESSE GEOGRAPHIQUE	51
FIGURE 8.	SELECTION D'UN ESCLAVE PAR ADRESSAGE GEOGRAPHIQUE	52
FIGURE 9.	CHAMPS DE L'ADRESSE DE DIFFUSION	53
FIGURE 10.	EXEMPLE DE ROUTAGE D'UNE DIFFUSION	54
FIGURE 11.	CYCLE D'ADRESSAGE LOGIQUE	64
FIGURE 12.	CYCLE D'ADRESSAGE GEOGRAPHIQUE, EG POSITIONNE PAR LE MAITRE .	66
FIGURE 13.	CYCLE D'ADRESSAGE GEOGRAPHIQUE, EG POSITIONNE PAR LA LOGIQUE ANCILLAIRE	68
FIGURE 14.	LECTURE-MODIFICATION-ECRITURE	70
FIGURE 15.	LECTURE D'UNE DONNEE ISOLEE	71
FIGURE 16.	ECRITURE EN TRANSFERT DE BLOC AVEC DIALOGUE	72
FIGURE 17.	LOGIQUE DE CONTROLE DE L'ARBITRAGE DANS UN MAITRE	82
FIGURE 18.	LOGIQUE D'ARBITRAGE DANS UN MAITRE	82
FIGURE 19.	ARBITRAGE DE DEUX MAITRES	83
FIGURE 20.	ARBITRAGE DE TROIS MAITRES	83
FIGURE 21.	NOTION DE COTE PROCHE ET DE COTE LOINTAIN DANS UN SI	120
FIGURE 22.	CONFLIT POUR L'USAGE D'UN SI	123
FIGURE 23.	PLAN D'ENSEMBLE D'UN MODULE	146
FIGURE 24.	PLAN DU CONTOUR DU CIRCUIT IMPRIME	147
FIGURE 25.	DETAILS DE LA CARTE DU MODULE	148
FIGURE 26.	DIMENSIONS DES CONNECTEURS DE SEGMENT ET AUXILIAIRE A DEUX RANGS DU MODULE	150
FIGURE 27.	DIMENSIONS DU CONNECTEUR AUXILIAIRE A TROIS RANGS DU MODULE	152
FIGURE 28.	DESIGNATIONS DES CONTACTS DES CONNECTEURS DE SEGMENT ET AUXILIAIRE ET IMPLANTATION SUR LE CIRCUIT	154
FIGURE 29.	POSITION RELATIVE DU PANNEAU AVANT ET DE LA CARTE DU MODULE	155
FIGURE 30.	DETAILS DES CONTACTS DU FOND DE PANIER	159
FIGURE 31.	IMPLANTATION DES CONTACTS SUR LE FOND DE PANIER DU CHASSIS	160
FIGURE 32.	GUIDES DU CONNECTEUR	161
FIGURE 33.	CABLAGE DE LA GUIRLANDE DU FOND DE PANIER	162
FIGURE 34.	CABLAGE DES CONTACTS D'ADRESSAGE GEOGRAPHIQUE DU FOND DE PANIER	163
FIGURE 35.	CIRCUIT IMPRIME A MONTER A L'ARRIERE DU FOND DE PANIER . .	164
FIGURE 36.	SCHEMA D'IMPLANTATION D'UN EMETTEUR/RECEPTEUR DE BUS EN ECL	172
FIGURE 37.	ETATS LOGIQUES SUR UN SEGMENT-CABLE	180
FIGURE 38.	SCHEMA D'UN CIRCUIT D'ATTAQUE DE SEGMENT-CABLE	181
FIGURE 39.	EXEMPLE D'UN CIRCUIT HYBRIDE D'ATTAQUE D'UN SEGMENT-CABLE .	181
FIGURE 40.	EXEMPLE DE LOGIQUE D'ARBITRAGE	182
FIGURE 41.	MODULES FASTBUS	186
FIGURE 42.	CHASSIS TYPE A, VUE DE FACE	188
FIGURE 43.	CHASSIS TYPE A, VUE DE DESSUS	189
FIGURE 44.	CHASSIS TYPE A, VUE DE COTE	190
FIGURE 45.	EXEMPLE DE REALISATION DE CHASSIS TYPE A	191
FIGURE 46.	EXEMPLE DE REALISATION DE CHASSIS TYPE W	194
FIGURE 47.	MONTAGE D'UN MODULE POUR LES CHASSIS TYPE W	195

FIGURES

FIGURE 1.	BASIC FASTBUS ELEMENTS	13
FIGURE 2.	EXAMPLE OF FASTBUS SYSTEM TOPOLOGY	15
FIGURE 3.	BASIC HANDSHAKE READ OPERATION (AS SEEN BY MASTER)	18
FIGURE 4.	WRITE BLOCK TRANSFER (AS SEEN BY MASTER)	21
FIGURE 5.	ADDRESS LOCKED OPERATION: READ-MODIFY-WRITE (AS SEEN BY MASTER)	22
FIGURE 6.	LOGICAL ADDRESS FORMAT	49
FIGURE 7.	GEOGRAPHICAL ADDRESS FORMATS	51
FIGURE 8.	SLAVE SELECTION VIA GEOGRAPHICAL ADDRESSING	52
FIGURE 9.	BROADCAST ADDRESS FIELD	53
FIGURE 10.	BROADCAST ROUTING EXAMPLE	54
FIGURE 11.	LOGICAL ADDRESS CYCLE	64
FIGURE 12.	GEOGRAPHICAL ADDRESS CYCLE, EG ASSERTED BY MASTER	66
FIGURE 13.	GEOGRAPHICAL ADDRESS CYCLE, EG ASSERTED BY ANCILLARY LOGIC	68
FIGURE 14.	READ-MODIFY-WRITE	70
FIGURE 15.	RANDOM DATA READ	71
FIGURE 16.	BLOCK TRANSFER HANDSHAKE WRITE	72
FIGURE 17.	ARBITRATION CONTROL LOGIC IN A MASTER	82
FIGURE 18.	ARBITRATION LOGIC IN A MASTER	82
FIGURE 19.	ARBITRATION FOR TWO MASTERS SHOWING WORST-CASE DELAYS	83
FIGURE 20.	ARBITRATION FOR THREE MASTERS SHOWING WORST-CASE DELAYS	83
FIGURE 21.	NEAR-SIDE AND FAR-SIDE CONCEPT FOR THE SI	120
FIGURE 22.	CONTENTION FOR USE OF AN SI	123
FIGURE 23.	MODULE OUTLINE	146
FIGURE 24.	MODULE CIRCUIT BOARD OUTLINE	147
FIGURE 25.	MODULE CIRCUIT BOARD DETAILS	148
FIGURE 26.	DIMENSIONAL INFORMATION FOR MODULE SEGMENT CONNECTOR AND TWO-ROW MODULE AUXILIARY CONNECTOR	150
FIGURE 27.	DIMENSIONAL INFORMATION FOR THREE-ROW MODULE AUXILIARY CONNECTOR	152
FIGURE 28.	SEGMENT AND AUXILIARY CONNECTOR CONTACT DESIGNATIONS AND CORRESPONDING CIRCUIT BOARD FOOTPRINTS	154
FIGURE 29.	MODULE FRONT PANEL IN RELATION TO MODULE CIRCUIT BOARD	155
FIGURE 30.	BACKPLANE PIN DETAILS	159
FIGURE 31.	CRATE BACKPLANE PIN LOCATIONS	160
FIGURE 32.	CONNECTOR GUIDES	161
FIGURE 33.	BACKPLANE DAISY CHAIN WIRING	162
FIGURE 34.	BACKPLANE GEOGRAPHICAL ADDRESSING PIN WIRING	163
FIGURE 35.	CIRCUIT BOARD FOR MOUNTING AT REAR OF BACKPLANE	164
FIGURE 36.	TYPICAL ECL DRIVER-RECEIVER LAYOUT	172
FIGURE 37.	CABLE SEGMENT LOGIC STATES	180
FIGURE 38.	SCHEMATIC DIAGRAM OF CABLE SEGMENT DRIVER	181
FIGURE 39.	EXAMPLE OF CABLE SEGMENT DRIVER	181
FIGURE 40.	EXAMPLE OF ARBITRATION LOGIC	182
FIGURE 41.	FASTBUS MODULES	186
FIGURE 42.	CRATE, TYPE A, FRONT VIEW	188
FIGURE 43.	CRATE, TYPE A, TOP VIEW	189
FIGURE 44.	CRATE, TYPE A, SIDE VIEW	190
FIGURE 45.	TYPICAL TYPE A CRATE IMPLEMENTATION	191
FIGURE 46.	TYPICAL TYPE W CRATE IMPLEMENTATION	194
FIGURE 47.	MODULE ASSEMBLY FOR TYPE W CRATE	195

TABLES

TABLE I - LES SIGNAUX FASTBUS	16
TABLE II - CONTROLE D'UNE DIFFUSION PAR LE MAITRE	55
TABLE III - CODAGE DES FONCTIONS POUR UNE DIFFUSION, REPOSE DE L'ESCLAVE	57
TABLE IV - CADENCEMENT DU DIALOGUE D'UN CYCLE	60
TABLE V - DIFFERENTS TYPES D'ADRESSES	69
TABLE VI - REPOSE SS AU MOMENT DE L'ADRESSAGE AVEC AK(u)	69
TABLE VII - INTERPRETATION DE MS DANS LES CYCLES DE DONNEES	73
TABLE VIIIa - REPOSE SS DE L'ESCLAVE AU MOMENT DES DONNEES AVEC DK(t)	75
TABLE VIIIb - REPOSE SS ET ACTIONS DE L'ESCLAVE A DK(t)	75
TABLE IX - LIGNES D'ARBITRAGE DU FASTBUS	80
TABLE X - FONCTIONS DE POSITIONNEMENT ET D'EFFACEMENT SELECTIFS DES CSR	98
TABLE XI - REGISTRES DE CONTROLE ET D'ETAT	99
TABLE XIIa - AFFECTATION DES BITS DU REGISTRE CSR#0	102
TABLE XIIb - DEFINITION DES BITS DE CSR#0	103
TABLE XIIIa - AFFECTATION DES BITS DU REGISTRE CSR#2	106
TABLE XIIIb - DEFINITION DES BITS DE CSR#2	107
TABLE XIV - REGISTRE DE CONTROLE DES TEMPORISATEURS	110
TABLE XVa - ATTRIBUTION DES ADRESSES DE L'ESPACE CSR PARAMETRES	113
TABLE XVb - DEFINITION DES TERMES UTILISES DANS LA TABLE XVa	114
TABLE XVI - EFFACEMENT DES BITS DES CSR	115
TABLE XVIIa - AFFECTATION DES BITS DANS CSR#0 D'UN SI	125
TABLE XVIIb - DEFINITION DES BITS DE CSR#0	126
TABLE XVIII - EFFETS DE DIFFERENTES ACTIONS SUR LES BITS D'UN SI	130
TABLE XIX - REPOSE DU SI AUX ADRESSES	137
TABLE XX - AFFECTATION DES CONTACTS DU CONNECTEUR DU SEGMENT-CHASSIS	151
TABLE XXI - SIGNAUX DU SEGMENT-CABLE	167
TABLE XXIIa - AFFECTATION DES CONTACTS DU CONNECTEUR DU SEGMENT-CABLE	168
TABLE XXIIb - UTILISATION RECOMMANDEE DU CONNECTEUR AUXILIAIRE POUR UNE REALISATION D'UN SEGMENT-CABLE	170
TABLE A.1 - GAMMES DE RESISTANCE POUR DES FILS DE CUIVRE DIVISES	172
TABLE A.11 - CARACTERISTIQUES TEMPORELLES POUR UNE REALISATION EN ECL	174

TABLES

TABLE I - FASTBUS SIGNALS	16
TABLE II - MASTER'S CONTROL OF BROADCAST	55
TABLE III - FUNCTION ENCODING FOR BROADCAST, SLAVE RESPONSE	57
TABLE IV - HANDSHAKED CYCLE TIMING SEQUENCE	60
TABLE V - ADDRESS TYPE SPECIFICATION	69
TABLE VI - ADDRESS TIME SS RESPONSE WITH AK(u)	69
TABLE VII - MS INTERPRETATION FOR DATA CYCLES	73
TABLE VIIIa - SLAVE DATA TIME SS RESPONSES WITH DK(t)	75
TABLE VIIIb - SLAVE SS RESPONSES AND ACTIONS AT DK(t)	75
TABLE IX - FASTBUS ARBITRATION LINES	80
TABLE X - CSR SELECTIVE SET/CLEAR FUNCTION IMPLEMENTATION	98
TABLE XI - CONTROL/STATUS REGISTERS	99
TABLE XIIa - CSR REGISTER 0 BIT ASSIGNMENTS	102
TABLE XIIb - DEFINITION OF CSR#0 BITS	103
TABLE XIIIa - CSR REGISTER 2 BIT ASSIGNMENTS	106
TABLE XIIIb - DEFINITION OF CSR#2 BITS	107
TABLE XIV - TIMER CONTROL REGISTER	110
TABLE XVa - CSR PARAMETER SPACE ADDRESS ALLOCATION	113
TABLE XVb - DEFINITION OF TERMS USED IN TABLE XVa	114
TABLE XVI - CLEARING OF CSR BITS	115
TABLE XVIIa - CSR#0 BIT ASSIGNMENTS IN AN SI	125
TABLE XVIIb - DEFINITION OF CSR#0 BITS	126
TABLE XVIII - EFFECT OF VARIOUS ACTIONS ON BITS IN SIs	130
TABLE XIX - SI RESPONSE TO ADDRESSES	137
TABLE XX - SEGMENT CONNECTOR CONTACT ASSIGNMENTS	151
TABLE XXI - CABLE SEGMENT SIGNALS	167
TABLE XXIIa - CABLE SEGMENT CONNECTOR CONTACT ASSIGNMENTS	168
TABLE XXIIb - RECOMMENDED UTILIZATION OF AUXILIARY CONNECTOR FOR CABLE SEGMENT IMPLEMENTATION	170
TABLE A.I - RESISTANCE RANGES FOR STRANDED COPPER WIRE	172
TABLE A.II - CHARACTERISTIC TIMES FOR ECL IMPLEMENTATION	174

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

CEI 935 FASTBUS

SYSTEME MODULAIRE D'ACQUISITION RAPIDE DE DONNEES

PREAMBULE

1. Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
2. Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
3. Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.
4. La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand il est déclaré qu'un matériel est conforme à l'une de ses recommandations.

PREFACE

La présente norme a été établie par le Comité d'Etudes N° 45 de la CEI: Instrumentation nucléaire.

Le texte de cette norme est issu des documents suivants:

Règle des Six Mois	Rapports de vote
45(BC)182	45(BC)186, 186A

Les rapports de vote indiqués dans le tableau ci-dessus donnent toute information sur le vote ayant abouti à l'approbation de cette norme.

Les publications suivantes de la CEI sont citées dans la présente norme:

- Publications Nos. 113-7 (1981): Schémas, diagrammes, tableaux, Septième partie: Etablissement des logigrammes.
- 169-10 (1983): Connecteurs pour fréquences radioélectriques, Dixième partie: Connecteurs coaxiaux pour fréquences radioélectriques avec diamètre intérieur du conducteur extérieur de 3 mm (0,12 in) à accouplement par encliquetage - Impédance caractéristique 50 Ω (type SMB).
- 297-1 (1982): Dimensions des structures mécaniques de la série de 482,6 mm (19 in), Première partie: Panneaux et bâtis.
- 516 (1975): Système modulaire d'instrumentation pour le traitement de l'information: système CAMAC.
- 547 (1976): Tiroirs et châssis de 19 pouces basés sur le système NIM (pour appareils d'électronique nucléaire).

INTERNATIONAL ELECTROTECHNICAL COMMISSION

IEC 935 FASTBUS

MODULAR HIGH SPEED DATA ACQUISITION SYSTEM

FOREWORD

1. The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
2. They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
3. In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.
4. The IEC has not laid down any procedure concerning marking as an indication of approval and has no responsibility when an item of equipment is declared to comply with one of its recommendations.

PREFACE

This standard has been prepared by IEC Technical Committee No. 45: Nuclear Instrumentation.

The text of this standard is based on the following documents:

Six Months' Rule	Reports on Voting
45(CO)182	45(CO)186, 186A

Full information on the voting for the approval of this standard can be found in the Voting Reports indicated in the above table.

The following IEC publications are quoted in this standard:

Publications Nos. 113-7 (1981): Diagrams, charts, tables, Part 7: Preparation of logic diagrams.

169-10 (1983): Radio-frequency connectors, Part 10: RF coaxial connectors with inner diameters of outer conductor 3 mm (0.12 in) with snap-on coupling - Characteristic impedance 50 Ω (Type SMB).

297-1 (1982): Dimensions of mechanical structures of the 482.6 mm (19 in) series, Part 1: Panels and racks.

516 (1975): A modular instrumentation system for data handling; CAMAC system.

547 (1976): Modular plug-in unit and standard 19-inch rack mounting unit based on NIM standard (for electronic nuclear instruments).

CEI 935 FASTBUS

SYSTEME MODULAIRE D'ACQUISITION RAPIDE DE DONNEES

SECTION 1: OBJET, DOMAINE D'APPLICATION ET INTRODUCTION GENERALE

Cette section décrit l'objet et le domaine d'application de la présente norme ainsi qu'une introduction générale.

1.1 OBJET ET DOMAINE D'APPLICATION

Cette norme définit un système modulaire de bus de données, destiné à l'acquisition et au traitement des données, ainsi qu'aux contrôles. Elle donne les spécifications mécaniques et électriques, celles des signaux et du protocole qui sont suffisantes pour assurer la compatibilité entre des éléments dont la conception et la production proviennent de différentes sources. Cette norme s'applique à des systèmes constitués d'appareils électroniques modulaires qui traitent ou transfèrent des données ou des signaux, normalement associés à des calculateurs ou d'autres processeurs automatiques de données. Cette norme s'applique à l'instrumentation et aux systèmes de contrôle nucléaires mais peut également être utilisée pour d'autres applications.

IEC 935 FASTBUS
MODULAR HIGH SPEED DATA ACQUISITION SYSTEM

SECTION 1: OBJECT, SCOPE AND INTRODUCTORY OVERVIEW

This section includes the object and scope of this standard together with an introductory overview.

1.1 OBJECT AND SCOPE

This standard defines a modular data-bus system for data acquisition, data processing and control. Mechanical, signal, electrical and protocol specifications are given that are sufficient to assure compatibility between units from different sources of design and production. This standard applies to systems consisting of modular electronic instrument units that process or transfer data or signals, normally in association with computers or other automatic data processors. This standard applies to nuclear instrumentation and control systems but can also be used for other applications.